

PATENT
81754.0097
Express Mail Label No. EV 325 217 148 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Akiyoshi AOYAGI

Serial No: Not assigned

Filed: August 21, 2003

For: Semiconductor Device, Method for
Manufacturing Semiconductor
Device and Electronic Equipment

Art Unit: Not assigned

Examiner: Not assigned

TRANSMITTAL OF PRIORITY DOCUMENT

Mail Stop PATENT APPLICATION
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 2002-248867 which was filed August 28, 2002, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

Date: August 21, 2003

By: Lawrence J. McClure
Lawrence J. McClure
Registration No. 44,228
Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900
Los Angeles, California 90071
Telephone: 213-337-6700
Facsimile: 213-337-6701

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 8月28日

出願番号

Application Number:

特願2002-248867

[ST.10/C]:

[JP2002-248867]

出願人

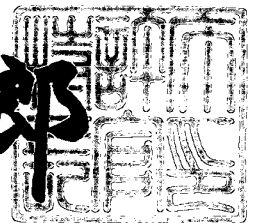
Applicant(s):

セイコーエプソン株式会社

2003年 6月12日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3046126

【書類名】 特許願

【整理番号】 J0090166

【あて先】 特許庁長官殿

【国際特許分類】 H01L 25/07

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号
セイコーエプソン株式会社内

【氏名】 青柳 哲理

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100095728

【弁理士】

【氏名又は名称】 上柳 雅誉

【連絡先】 0 2 6 6 - 5 2 - 3 1 3 9

【選任した代理人】

【識別番号】 100107076

【弁理士】

【氏名又は名称】 藤網 英吉

【選任した代理人】

【識別番号】 100107261

【弁理士】

【氏名又は名称】 須澤 修

【手数料の表示】

【予納台帳番号】 013044

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1



特 2 0 0 2 - 2 4 8 8 6 7

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0109826

【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 半導体装置及び半導体装置の製造方法並びに電子機器

【特許請求の範囲】

【請求項 1】 ベース配線が設けられたベース基板と、

前記ベース配線に電氣的に接続される第 1 の配線を含み、前記ベース基板の上方に設けられた第 1 の基板と、

前記第 1 の配線に電氣的に接続される第 1 の電極を含み、前記ベース基板と前記第 1 の基板との間に設けられた第 1 の半導体素子と、

前記ベース配線に電氣的に接続される第 2 の配線を含み、前記第 1 の基板の上方に設けられた第 2 の基板と、

前記第 2 の配線に電氣的に接続される第 2 の電極を含み、前記第 1 の基板と前記第 2 の基板との間であって前記第 1 の半導体素子の上方に設けられた第 2 の半導体素子とを備え、

前記第 1 の基板は、前記第 1 の半導体素子が下方に設けられた第 1 の領域と前記第 1 の配線の前記ベース配線と接合する部分が位置する第 2 の領域とを有し、さらに前記第 1 の領域と前記第 2 の領域との間に第 1 の屈曲部を有し、

前記第 2 の基板は、前記第 2 の半導体素子が下方に設けられた第 3 の領域と前記第 2 の配線の前記ベース配線と接合する部分が位置する第 4 の領域とを有し、さらに前記第 3 の領域と前記第 4 の領域との間に第 2 の屈曲部を有することを特徴とする半導体装置。

【請求項 2】 前記第 1 の半導体素子の第 1 の電極を有する面は矩形形状であって、第 1 の辺と、前記第 1 の辺よりも長い辺であって前記第 1 の辺と交わる第 2 の辺と、を含み、

前記第 2 の半導体素子の第 2 の電極を有する面は矩形形状であって、第 3 の辺と、前記第 3 の辺よりも長い辺であって前記第 3 の辺と交わる第 4 の辺と、を含み、

前記第 1 の半導体素子と前記第 2 の半導体素子とは、前記第 2 の辺と前記第 4 の辺とが平行になるように配置されることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記第 1 の半導体素子の第 1 の電極を有する面は矩形形状であって、第 1 の辺と、前記第 1 の辺よりも長い辺であって前記第 1 の辺と交わる第 2 の辺と、を含み、

前記第 2 の半導体素子の第 2 の電極を有する面は矩形形状であって、第 3 の辺と、前記第 3 の辺よりも長い辺であって前記第 3 の辺と交わる第 4 の辺と、を含み、

前記第 1 の半導体素子と前記第 2 の半導体素子とは、前記ベース基板に投影した前記第 2 の辺と前記第 4 の辺とが互いに交差するように配置されることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】 前記ベース基板の表面と対向する前記第 1 の基板の面は矩形形状であって、第 1 の辺と、前記第 1 の辺よりも長い辺であって前記第 1 の辺と交わる第 2 の辺と、を含み、

前記ベース基板の表面と対向する前記第 2 の基板の面は矩形形状であって、第 3 の辺と、前記第 3 の辺よりも長い辺であって前記第 3 の辺と交わる第 4 の辺と、を含み、

前記第 1 の基板と前記第 2 の基板とは、前記第 2 の辺と前記第 4 の辺とが平行になるように配置されることを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】 前記ベース基板の表面と対向する前記第 1 の基板の面は矩形形状であって、第 1 の辺と、前記第 1 の辺よりも長い辺であって前記第 1 の辺と交わる第 2 の辺と、を含み、

前記ベース基板の表面と対向する前記第 2 の基板の面は矩形形状であって、第 3 の辺と、前記第 3 の辺よりも長い辺であって前記第 3 の辺と交わる第 4 の辺と、を含み、

前記第 1 の基板と前記第 2 の基板とは、前記ベース基板に投影した前記第 2 の辺と前記第 4 の辺とが互いに交差するように配置されることを特徴とする請求項 1 に記載の半導体装置。

【請求項 6】 前記第 1 の基板には、前記第 1 の屈曲部に開口部が形成されていることを特徴とする請求項 1 から 5 の何れかに記載の半導体装置。

【請求項 7】 前記第 2 の基板には、前記第 2 の屈曲部に開口部が形成されていることを特徴とする請求項 1 から 6 の何れかに記載の半導体装置。

【請求項 8】 第 1 の配線を有する第 1 の基板に第 1 の電極を有する第 1 の半導体素子を、前記第 1 の電極を前記第 1 の配線に電氣的に接続させて実装する工程と、

ベース配線が設けられたベース基板の上方に、前記ベース基板に対して前記第 1 の基板の第 1 の半導体素子が実装された面側を向けて前記第 1 の基板を配置し、前記第 1 の基板に第 1 の屈曲部を設けて前記第 1 の配線を前記ベース配線に電氣的に接続する工程と、

第 2 の配線を有する第 2 の基板に第 2 の電極を有する第 2 の半導体素子を、前記第 2 の電極を前記第 2 の配線に電氣的に接続させて実装する工程と、

前記第 1 の基板の上方において、前記第 1 の基板に対して前記第 2 の基板の前記第 2 の半導体素子が実装された面側を向けて前記第 2 の基板を配置し、前記第 2 の基板に第 2 の屈曲部を設けて前記第 2 の配線を前記ベース配線に電氣的に接続する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項 9】 前記第 1 の半導体素子の第 1 の電極を有する面は矩形形状であって、第 1 の辺と、前記第 1 の辺よりも長い辺であって前記第 1 の辺と交わる第 2 の辺と、を含み、

前記第 2 の半導体素子の第 2 の電極を有する面は矩形形状であって、第 3 の辺と、前記第 3 の辺よりも長い辺であって前記第 3 の辺と交わる第 4 の辺と、を含み、

前記第 2 の基板を前記第 1 の基板の上方に設ける工程において、前記第 2 の辺と前記第 4 の辺とが平行になるように、前記第 2 の基板を配置することを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 10】 前記第 1 の半導体素子の第 1 の電極を有する面は矩形形状であって、第 1 の辺と、前記第 1 の辺よりも長い辺であって前記第 1 の辺と交わる第 2 の辺と、を含み、

前記第 2 の半導体素子の第 2 の電極を有する面は矩形形状であって、第 3 の辺

と、前記第 3 の辺よりも長い辺であって前記第 3 の辺と交わる第 4 の辺と、を含み、

前記第 2 の基板を前記第 1 の基板の上方に設ける工程において、前記ベース基板に投影した前記第 2 の辺と前記第 4 の辺とが互いに交差するように、前記第 2 の基板を配置する

ことを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 1 1】 前記第 1 の基板の前記ベース基板の表面と対向する面は矩形形状であって、第 1 の辺と、前記第 1 の辺よりも長い辺であって前記第 1 の辺と交わる第 2 の辺と、を含み、

前記第 2 の基板の前記ベース基板の表面と対向する面は矩形であって、第 3 の辺と、前記第 3 の辺よりも長い辺であって前記第 3 の辺と交わる第 4 の辺と、を含み、

前記第 2 の基板を前記第 1 の基板の上方に設ける工程において、前記ベース基板に投影した前記第 2 の辺と前記第 4 の辺とが平行になるように、前記第 2 の基板を配置する

ことを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 1 2】 前記第 1 の基板の前記ベース基板の表面と対向する面は矩形形状であって、第 1 の辺と、前記第 1 の辺よりも長い辺であって前記第 1 の辺と交わる第 2 の辺と、を含み、

前記第 2 の基板の前記ベース基板の表面と対向する面は矩形形状であって、第 3 の辺と、前記第 3 の辺よりも長い辺であって前記第 3 の辺と交わる第 4 の辺と、を含み、

前記第 2 の基板を前記第 1 の基板の上方に設ける工程において、前記ベース基板に投影した前記第 2 の辺と前記第 4 の辺とが互いに交差するように、前記第 2 の基板を配置する

ことを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 1 3】 さらに、前記第 1 の基板を前記ベース基板の上方に設ける工程の前に、前記第 1 の基板に第 1 の開口部を形成する工程を有し、

前記ベース基板の上方に前記第 1 の基板を設ける工程において、前記第 1 の開

口部が形成された部分に前記第 1 の屈曲部を設ける

ことを特徴とする請求項 8 から 1 2 の何れかに記載の半導体装置の製造方法。

【請求項 1 4】 さらに、前記第 2 の基板を前記第 1 の基板の上方に設ける工程の前に、前記第 2 の基板に第 2 の開口部を形成する工程を有し、

前記第 1 の基板の上方に前記第 2 の基板を設ける工程において、前記第 2 の開口部が形成された部分に前記第 2 の屈曲部を設ける

ことを特徴とする請求項 8 から 1 3 の何れかに記載の半導体装置の製造方法。

【請求項 1 5】 請求項 1 から 7 の何れかに記載の半導体装置を備えることを特徴とする電子機器。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体装置及び半導体装置の製造方法並びに電子機器に関する。

【0 0 0 2】

【従来の技術】

半導体素子の高密度大容量化を図るために、半導体素子等が実装された基板を厚さ方向に積層して設け、相互に電氣的に接続して上下の導通をとる技術が知られている。

たとえば、スルーホールが形成された基板を用い、スルーホール内に導電部材を配して、上下の導通をとる手法がある。各基板の導電部材を介して上下導通をとるために、各基板間に半田ボールやバンプやピン等が設けられるものがある。

【0 0 0 3】

【発明が解決しようとする課題】

ところが、上述した従来の技術では、半導体素子を搭載した基板を複数積層しようとする、それぞれの基板の厚みと、導通手段の厚みや半導体素子と基板との間のマージンとが加算されるため、パッケージサイズが大きくなってしまいう問題がある。また、たとえば異なる半導体素子を搭載する場合、チップセレクター用に独立させたスルーホールが必要となり、スルーホール分だけパッケージサイズが大きくなってしまったり、配線の設計の自由度が低くなってしまった

りする場合がある。また、この場合、さらに別の基板を使用することもできるが、やはりパッケージサイズが大きくなってしまう。

【 0 0 0 4 】

本発明は、このような状況に鑑みてなされたものであり、パッケージサイズを小さくすることができる半導体装置及び半導体装置の製造方法並びに電子機器を提供することを目的とするものである。

【 0 0 0 5 】

【課題を解決するための手段】

本発明の半導体装置は、ベース配線が設けられたベース基板と、前記ベース配線に電氣的に接続される第 1 の配線を含み、前記ベース基板の上方に設けられた第 1 の基板と、前記第 1 の配線に電氣的に接続される第 1 の電極を含み、前記ベース基板と前記第 1 の基板との間に設けられた第 1 の半導体素子と、前記ベース配線に電氣的に接続される第 2 の配線を含み、前記第 1 の基板の上方に設けられた第 2 の基板と、前記第 2 の配線に電氣的に接続される第 2 の電極を含み、前記第 1 の基板と前記第 2 の基板との間であって前記第 1 の半導体素子の上方に設けられた第 2 の半導体素子とを備え、前記第 1 の基板は、前記第 1 の半導体素子が下方に設けられた第 1 の領域と前記第 1 の配線の前記ベース配線と接合する部分が位置する第 2 の領域とを有し、さらに前記第 1 の領域と前記第 2 の領域との間に第 1 の屈曲部を有し、前記第 2 の基板は、前記第 2 の半導体素子が下方に設けられた第 3 の領域と前記第 2 の配線の前記ベース配線と接合する部分が位置する第 4 の領域とを有し、さらに前記第 3 の領域と前記第 4 の領域との間に第 2 の屈曲部を有することを特徴とする。

また、本発明の半導体装置は、前記第 1 の半導体素子の第 1 の電極を有する面は矩形形状であって、第 1 の辺と、前記第 1 の辺よりも長い辺であって前記第 1 の辺と交わる第 2 の辺と、を含み、前記第 2 の半導体素子の第 2 の電極を有する面は矩形形状であって、第 3 の辺と、前記第 3 の辺よりも長い辺であって前記第 3 の辺と交わる第 4 の辺と、を含み、前記第 1 の半導体素子と前記第 2 の半導体素子とは、前記第 2 の辺と前記第 4 の辺とが平行になるように配置されるようにすることができる。

また、本発明の半導体装置は、前記第 1 の半導体素子の第 1 の電極を有する面は矩形形状であって、第 1 の辺と、前記第 1 の辺よりも長い辺であって前記第 1 の辺と交わる第 2 の辺と、を含み、前記第 2 の半導体素子の第 2 の電極を有する面は矩形形状であって、第 3 の辺と、前記第 3 の辺よりも長い辺であって前記第 3 の辺と交わる第 4 の辺と、を含み、前記第 1 の半導体素子と前記第 2 の半導体素子とは、前記ベース基板に投影した前記第 2 の辺と前記第 4 の辺とが互いに交差するように配置されるようにすることができる。

また、本発明の半導体装置は、前記ベース基板の表面と対向する前記第 1 の基板の面は矩形形状であって、第 1 の辺と、前記第 1 の辺よりも長い辺であって前記第 1 の辺と交わる第 2 の辺と、を含み、前記ベース基板の表面と対向する前記第 2 の基板の面は矩形形状であって、第 3 の辺と、前記第 3 の辺よりも長い辺であって前記第 3 の辺と交わる第 4 の辺と、を含み、前記第 1 の基板と前記第 2 の基板とは、前記第 2 の辺と前記第 4 の辺とが平行になるように配置されるようにすることができる。

また、本発明の半導体装置は、前記ベース基板の表面と対向する前記第 1 の基板の面は矩形形状であって、第 1 の辺と、前記第 1 の辺よりも長い辺であって前記第 1 の辺と交わる第 2 の辺と、を含み、前記ベース基板の表面と対向する前記第 2 の基板の面は矩形形状であって、第 3 の辺と、前記第 3 の辺よりも長い辺であって前記第 3 の辺と交わる第 4 の辺と、を含み、前記第 1 の基板と前記第 2 の基板とは、前記ベース基板に投影した前記第 2 の辺と前記第 4 の辺とが互いに交差するように配置されるようにすることができる。

また、本発明の半導体装置は、前記第 1 の基板には、前記第 1 の屈曲部に開口部が形成されているようにすることができる。

また、本発明の半導体装置は、前記第 2 の基板には、前記第 2 の屈曲部に開口部が形成されているようにすることができる。

本発明の半導体装置の製造方法は、第 1 の配線を有する第 1 の基板に第 1 の電極を有する第 1 の半導体素子を、前記第 1 の電極を前記第 1 の配線に電氣的に接続させて実装する工程と、ベース配線が設けられたベース基板の上方に、前記ベース基板に対して前記第 1 の基板の第 1 の半導体素子が実装された面側を向けて

前記第 1 の基板を配置し、前記第 1 の基板に第 1 の屈曲部を設けて前記第 1 の配線を前記ベース配線に電氣的に接続する工程と、第 2 の配線を有する第 2 の基板に第 2 の電極を有する第 2 の半導体素子を、前記第 2 の電極を前記第 2 の配線に電氣的に接続させて実装する工程と、前記第 1 の基板の上方において、前記第 1 の基板に対して前記第 2 の基板の前記第 2 の半導体素子が実装された面側を向けて前記第 2 の基板を配置し、前記第 2 の基板に第 2 の屈曲部を設けて前記第 2 の配線を前記ベース配線に電氣的に接続する工程と、を含むことを特徴とする。

また、本発明の半導体装置の製造方法は、前記第 1 の半導体素子の第 1 の電極を有する面は矩形形状であって、第 1 の辺と、前記第 1 の辺よりも長い辺であって前記第 1 の辺と交わる第 2 の辺と、を含み、前記第 2 の半導体素子の第 2 の電極を有する面は矩形形状であって、第 3 の辺と、前記第 3 の辺よりも長い辺であって前記第 3 の辺と交わる第 4 の辺と、を含み、前記第 2 の基板を前記第 1 の基板の上方に設ける工程において、前記第 2 の辺と前記第 4 の辺とが平行になるように、前記第 2 の基板を配置するようにすることができる。

また、本発明の半導体装置の製造方法は、前記第 1 の半導体素子の第 1 の電極を有する面は矩形形状であって、第 1 の辺と、前記第 1 の辺よりも長い辺であって前記第 1 の辺と交わる第 2 の辺と、を含み、前記第 2 の半導体素子の第 2 の電極を有する面は矩形形状であって、第 3 の辺と、前記第 3 の辺よりも長い辺であって前記第 3 の辺と交わる第 4 の辺と、を含み、前記第 2 の基板を前記第 1 の基板の上方に設ける工程において、前記ベース基板に投影した前記第 2 の辺と前記第 4 の辺とが互いに交差するように、前記第 2 の基板を配置するようにすることができる。

また、本発明の半導体装置の製造方法は、前記第 1 の基板の前記ベース基板の表面と対向する面は矩形形状であって、第 1 の辺と、前記第 1 の辺よりも長い辺であって前記第 1 の辺と交わる第 2 の辺と、を含み、前記第 2 の基板の前記ベース基板の表面と対向する面は矩形であって、第 3 の辺と、前記第 3 の辺よりも長い辺であって前記第 3 の辺と交わる第 4 の辺と、を含み、前記第 2 の基板を前記第 1 の基板の上方に設ける工程において、前記ベース基板に投影した前記第 2 の辺と前記第 4 の辺とが平行になるように、前記第 2 の基板を配置するようにする

ことができる。

また、本発明の半導体装置の製造方法は、前記第 1 の基板の前記ベース基板の表面と対向する面は矩形形状であって、第 1 の辺と、前記第 1 の辺よりも長い辺であって前記第 1 の辺と交わる第 2 の辺と、を含み、前記第 2 の基板の前記ベース基板の表面と対向する面は矩形形状であって、第 3 の辺と、前記第 3 の辺よりも長い辺であって前記第 3 の辺と交わる第 4 の辺と、を含み、前記第 2 の基板を前記第 1 の基板の上方に設ける工程において、前記ベース基板に投影した前記第 2 の辺と前記第 4 の辺とが互いに交差するように、前記第 2 の基板を配置するようにすることができる。

また、本発明の半導体装置の製造方法は、さらに、前記第 1 の基板を前記ベース基板の上方に設ける工程の前に、前記第 1 の基板に第 1 の開口部を形成する工程を有し、前記ベース基板の上方に前記第 1 の基板を設ける工程において、前記第 1 の開口部が形成された部分に前記第 1 の屈曲部を設けるようにすることができる。

また、本発明の半導体装置の製造方法は、さらに、前記第 2 の基板を前記第 1 の基板の上方に設ける工程の前に、前記第 2 の基板に第 2 の開口部を形成する工程を有し、前記第 1 の基板の上方に前記第 2 の基板を設ける工程において、前記第 2 の開口部が形成された部分に前記第 2 の屈曲部を設けるようにすることができる。

本発明の電子機器は、請求項 1 から 7 の何れかに記載の半導体装置を備えることを特徴とする。

本発明に係る半導体装置及び半導体装置の製造方法並びに電子機器においては、ベース配線が設けられたベース基板と、上記ベース配線に電氣的に接続される第 1 の配線を含み、上記ベース基板の上方に設けられた第 1 の基板と、上記第 1 の配線に電氣的に接続される第 1 の電極を含み、上記ベース基板と上記第 1 の基板との間に設けられた第 1 の半導体素子と、上記ベース配線に電氣的に接続される第 2 の配線を含み、上記第 1 の基板の上方に設けられた第 2 の基板と、上記第 2 の配線に電氣的に接続する第 2 の電極を含み、上記第 1 の基板と上記第 2 の基板との間であって上記第 1 の半導体素子の上方に設けられた第 2 の半導体素子と

を備え、上記第 1 の基板は、上記第 1 の半導体素子が下方に設けられた第 1 の領域と上記第 1 の配線の上記ベース配線と接合する部分が位置する第 2 の領域とを有し、上記第 1 の領域と上記第 2 の領域との間に第 1 の屈曲部を有し、上記第 2 の基板は、上記第 2 の半導体素子が下方に設けられた第 3 の領域と上記第 2 の配線の上記ベース配線と接合する部分が位置する第 4 の領域とを有し、上記第 3 の領域と上記第 4 の領域との間に第 2 の屈曲部を有するようにする。

【0006】

【発明の実施の形態】

以下、本発明の実施の形態について説明する。

図 1 は、本発明の半導体装置の一実施の形態を示す図、図 2 は、図 1 の a - a 線断面図、図 3 及び図 4 は、図 1 の半導体装置の構成を変えた場合の他の実施の形態を示す図、図 5 は、図 4 の b - b 線断面図である。

【0007】

図 1 に示す半導体装置は、ベース基板 10 と、第 1 の基板であるフレキシブル基板 20 と、第 1 の半導体素子 30 と、第 2 の基板であるフレキシブル基板 40 と、第 2 の半導体素子 50 とを備えている。

【0008】

ベース基板 10 は、フレキシブル基板であっても、リジット基板であってもよい。ベース基板 10 は、対向する 2 つの主面を有する絶縁層と、少なくとも絶縁層の一方の主面に設けられたベース配線 11 とを有する。絶縁層は、ガラスエポキシ材料やポリイミド材料やポリエチレンテレフタレート材料等を含むものであってもよい。ベース基板 10 は、ベース配線 11 が絶縁層の内部にも設けられ、多層配線基板となってもよい。また、ベース基板 10 は、ベース配線 11 が絶縁層の他方の主面にも設けられ、両面配線基板となってもよい。絶縁層の表面に設けられたベース配線 11 は、さらに、ベース配線 11 を保護する絶縁膜（保護膜）に覆われていてもよい。この場合、ベース配線 11 は、少なくとも後述する第 1 の配線 21、第 2 の配線 41 との接合部分において、この絶縁膜から露出しているてもよい。絶縁膜は、ガラスエポキシ材料やポリイミド材料やポリエチレンテレフタレート材料等を含むものであってもよい。

【 0 0 0 9 】

また、ベース基板 1 0 は、図 2 又は図 5 に示すように、ベース配線 1 1 に電氣的に接続される外部端子 1 2 を他方の主面に有していてもよい。外部端子 1 2 は、図示したように、半田ボール等の突起電極であってもよいし、ピンやリードであってもよい。ベース基板 1 0 の上方には、フレキシブル基板 2 0 と、フレキシブル基板 2 0 に実装された第 1 の半導体素子 3 0 と、フレキシブル基板 2 0 の上方に設けられたフレキシブル基板 4 0 と、フレキシブル基板 4 0 に実装された第 2 の半導体素子 5 0 とが設けられている。さらに、フレキシブル基板 4 0 の上方に、ベース基板 1 0 に接続する他の基板と、その基板に実装された他の半導体素子を設けてもよい。すなわち、ベース基板 1 0 の上方には、基板とその基板に実装された半導体素子を含む半導体パッケージが複数積層されていてもよい。

【 0 0 1 0 】

フレキシブル基板 2 0 は、対向する 2 つの主面を有する絶縁層と、少なくとも絶縁層の一方の主面に設けられた第 1 の配線 2 1 とを有する。フレキシブル基板 4 0 は、対向する 2 つの主面を有する絶縁層と、少なくとも絶縁層の一方の主面に設けられた第 2 の配線 4 1 とを有する。フレキシブル基板 2 0 の絶縁層とフレキシブル基板 4 0 の絶縁層とは同じ材料で形成されてもよいし、異なる材料で形成されていてもよい。たとえば、絶縁層の材料として、ポリイミド材料やポリエチレンテレフタレート材料等の可撓性を有する材料を含むものを用いてもよい。第 1 の配線 2 1 と第 2 の配線 4 1 とは、同じ材料で形成されてもよいし、異なる材料で形成されていてもよい。すなわち、フレキシブル基板 2 0 とフレキシブル基板 4 0 とは、同一の構成からなる基板であってもよいし、異なる構成からなる基板であってもよい。第 1 の配線 2 1 と第 2 の配線 4 1 とは、それぞれ、複数の金属層で形成されてもよいし、単層の金属層から形成されたものであってもよい。フレキシブル基板 2 0 とフレキシブル基板 4 0 とは、フレキシブル基板 2 0 の主面がフレキシブル基板 4 0 の主面とほぼ同一の面積であるものでもよいし、フレキシブル基板 2 0 の主面がフレキシブル基板 4 0 の主面よりも面積が小さいものでも、大きいものであってもよい。

【 0 0 1 1 】

フレキシブル基板 2 0 の主面の面積がフレキシブル基板 4 0 の主面の面積よりも小さい場合に、図 5 に示す構成をとるとき、第 2 の配線 4 1 とベース配線 1 1 との接続部をフレキシブル基板 4 0 とフレキシブル基板 2 0 との重複領域外に設けることができるため、第 2 の配線 4 1 とベース配線 1 1 との接続が容易となる。フレキシブル基板 2 0 とフレキシブル基板 4 0 とは、第 1 の配線 2 1 と第 2 の配線 4 1 とが絶縁層の内部にも設けられて、多層配線基板になっていてもよい。絶縁層の主面に設けられた第 1 の配線 2 1 及び第 2 の配線 4 1 は、さらに、配線を保護する絶縁膜（保護膜）に覆われていてもよい。この場合、第 1 の配線 2 1 及び第 2 の配線 4 1 は、少なくとも後述するベース配線 1 1 との接合部分において、この絶縁膜から露出しているてもよい。絶縁膜は、ポリイミド材料やポリエチレンテレフタレート材料等の可撓性の樹脂を含むものであってもよい。

【 0 0 1 2 】

半導体素子 3 0 は、集積回路を内部に有する。半導体素子 3 0 は、この集積回路に電氣的に接続する第 1 の電極 3 1 を主面に有する。第 1 の電極 3 1 は、少なくともこの集積回路に電氣的に接続する電極パッドを含む、電極パッド上にバンプ状に形成された突起電極を含んでもよい。同様に、半導体素子 5 0 も、集積回路を有し、この集積回路に電氣的に接続する第 2 の電極 5 1 を主面に有する。第 2 の電極 5 1 も、この集積回路に電氣的に接続する電極パッドを含み、電極パッド上にバンプ状に形成された突起電極をさらに含んでもよい。半導体素子 3 0、5 0 は、図 2 ～ 5 に示すように、フレキシブル基板 2 0、4 0 のベース基板 1 0 の表面と対向する面に実装されている。第 1、第 2 の半導体素子 3 0、5 0 の第 1、第 2 の電極 3 1、5 1 とフレキシブル基板 2 0、4 0 の第 1、第 2 の配線 2 1、4 1 とは、電氣的に接続されている。第 1 の電極 3 1 と第 1 の配線 2 1 とは、図示するように半田バンプ等の突起電極を用い、フリップチップボンディングによって接続されたものでもよいし、ワイヤボンディングによって接続されたものであってもよい。フリップチップボンディング法によれば、各基板間の間隔を狭めても、ワイヤ等が半導体素子に接触しないため、接続不良が生じにくい。このため、接続不良を減少させることができ、半導体装置を小型化することができる。

【 0 0 1 3 】

また、第 1 の半導体素子 3 0 は、ベース基板 1 0 に樹脂によって固着されていてもよい。第 2 の半導体素子 5 0 は、フレキシブル基板 2 0 に樹脂によって固着されていてもよい。これによれば、第 1、第 2 の半導体素子 3 0、5 0 に加わるダメージを軽減することができる。樹脂は、絶縁性の樹脂であってもよい。この場合、各基板と第 1、第 2 の半導体素子 3 0、5 0 との絶縁性を向上することができる。また、導電性の樹脂を用いてもよい。この場合、第 1、第 2 の半導体素子 3 0、5 0 からの発熱性が向上する。フレキシブル基板 2 0、4 0 の第 1 の配線 2 1 及び第 2 の配線 4 1 は、ベース基板 1 0 のベース配線 1 1 に接続される。第 1 の配線 2 1 及び第 2 の配線 4 1 は、ベース配線 1 1 に接合されていてもよい。ベース配線 1 1 と第 1 の配線 2 1 又は第 2 の配線 4 1 とは、異方性導電接着剤や絶縁性、導電性の接着剤を用いた公知の接着接合方式によって接合されていてもよいし、半田接合や合金接合や金バンプ接合等の公知の金属接合方式によって接合されていてもよい。ベース基板 1 0 の主面とフレキシブル基板 2 0、4 0 の主面とは、少なくとも一部が接触してもよい。ベース配線 1 1、第 1 の配線 2 1 又は第 2 の配線 4 1 には、ベース配線 1 1 と第 1 の配線 2 1 又は第 2 の配線 4 1 との接続部に凸部が形成されていてもよい。この場合、凸部を形成することによって、配線の表面が厚い絶縁膜等に覆われている場合であっても、ベース配線 1 1 と第 1 の配線 2 1 又は第 2 の配線 4 1 とを容易に接合することができる。この凸部は、ベース配線 1 1 との接続部において、第 1 の配線 2 1、第 2 の配線 4 1 を屈曲させて基板表面から突出した屈曲部を設けることによって形成されたものでもよいし、第 1 の配線 2 1、第 2 の配線 4 1 の表面に段差を設けることによって形成されたものでもよいし、第 1 の配線 2 1、第 2 の配線 4 1 の表面に別の導電部材を凸状に設けて形成されたものでもよい。屈曲部を設ける場合には、この屈曲部の凹部内に樹脂が充填されてもよい。これによれば、屈曲部にかかる応力を緩和させることができる。

【 0 0 1 4 】

また、フレキシブル基板 2 0、4 0 のベース基板 1 0 の表面と対向する主面は矩形形状であってもよい。この場合、フレキシブル基板 2 0、4 0 の主面は、長

辺と長辺よりも短い短辺に囲まれる。短辺は、長辺に交差する。この場合、ベース基板 1 0 には、図 1 ～図 3 に示すように、フレキシブル基板 2 0, 4 0 が互いに交差するように搭載されていてもよい。すなわち、このフレキシブル基板 2 0, 4 0 の長辺をベース基板 1 0 に投影した場合に、フレキシブル基板 2 0 の長辺とフレキシブル基板 4 0 の長辺とが互いに交差するように、フレキシブル基板 2 0, 4 0 が配置されてもよい。フレキシブル基板 2 0 は、第 1 の半導体素子 3 0 が実装される第 1 の領域と、第 1 の配線 2 1 のうちベース配線 1 1 に接続される部分が位置する第 2 の領域とを有する。第 1 の領域と第 2 の領域との間には、第 1 の配線 2 1 の少なくとも一部を露出させるように切り欠かれた開口部 2 2 が設けられていてもよい。この場合、開口部 2 2 を基点としてフレキシブル基板 2 0 が屈曲されていてもよい。また、フレキシブル基板 4 0 は、半導体素子 5 0 が実装される第 3 の領域と、第 2 の配線 4 1 のうちベース配線 1 1 に接続される部分が位置する第 4 の領域とを有する。第 3 の領域と第 4 の領域との間には、第 2 の配線 4 1 を露出させるように切り欠かれた開口部 4 2 が設けられていてもよい。

【0015】

この場合、開口部 4 2 を基点としてフレキシブル基板 2 0 が屈曲されていてもよい。このような開口部 2 2, 4 2 を設けることにより、開口部 2 2, 4 2 が設けられた部分において、フレキシブル基板 2 0 又はフレキシブル基板 4 0 が屈曲しやすくなる。このため、フレキシブル基板 2 0, 4 0 は、屈曲状態を維持しやすくなる。したがって、ベース配線 1 1 と第 1, 2 の配線 2 1, 4 1 との間に生じる応力を少なくすることができ、接続信頼性を向上することができる。第 1, 第 2 の半導体素子 3 0, 5 0 の第 1, 第 2 の電極 3 1, 5 1 を有する面は、矩形形状であってもよい。この場合、第 1, 第 2 の電極 3 1, 5 1 を有する面は、それぞれ長辺と長辺よりも短い短辺に囲まれ、短辺は長辺に交差する。この場合、図 1 及び図 3 に示すように、第 1 の半導体素子 3 0 の長辺は、フレキシブル基板 2 0 の長手方向に対して直交するように実装されていてもよいし、交差するように実装されていてもよいし、平行になるように実装されていてもよい。

【0016】

第 2 の半導体素子 5 0 の外形も、矩形であってもよい。この場合も、第 2 の半

導体素子 5 0 の主面は長辺と長辺よりも短く長辺と交差する短辺とからなり、第 2 の半導体素子 5 0 は、図 1 及び図 3 に示すように、半導体素子 5 0 の長辺がフレキシブル基板 4 0 の長手方向に対して直交するように実装されていてもよいし、交差するように実装されていてもよいし、平行になるように実装されていてもよい。フレキシブル基板 2 0 とフレキシブル基板 4 0 とは、図 1 及び図 4 に示すように、第 1 の半導体素子 3 0 の長辺と第 2 の半導体素子 5 0 の長辺とが平行になるように、配置されてもよい。このように配置すれば、基板としてフレキシブル基板を採用した場合であっても、第 1、第 2 の半導体素子 3 0 と 5 0 とがそれぞれの搭載領域のフレキシブル基板の支持体となり、第 1、第 2 の半導体素子 3 0 と 5 0 とに生じるダメージを軽減することができる。

【 0 0 1 7 】

また、フレキシブル基板 2 0 とフレキシブル基板 4 0 とは、第 1 の半導体素子 3 0 の長辺と第 2 の半導体素子 5 0 の長辺とをベース基板 1 0 に投影した場合に、図 3 に示すように、第 1 の半導体素子 3 0 の長辺と第 2 の半導体素子 5 0 の長辺とが交差するように配置されてもよい。この場合、第 1 の半導体素子 3 0 の長辺と第 2 の半導体素子 5 0 の長辺とが直交するように配置されていてもよい。このように配置すれば、ベース配線 1 1、第 1、2 の配線 2 1、4 1 の設計の自由度が大きくなる。

【 0 0 1 8 】

次に、このような半導体装置の製造方法について説明する。

まず、フレキシブル基板 2 0 の第 1 の配線 2 1 に第 1 の半導体素子 3 0 に設けられている第 1 の電極 3 1 を、上述のようにフリップチップボンディングやワイヤボンディングによって電氣的に接続する。同様に、フレキシブル基板 4 0 の第 2 の配線 4 1 に第 2 の半導体素子 5 0 に設けられている第 2 の電極 5 1 を熱圧着等によって電氣的に接続する。この後、第 2 の半導体素子 5 0 とフレキシブル基板 2 0 とを接着剤等の樹脂で固着してもよい。こうすることによって、フレキシブル基板 2 0、4 0 とベース基板 1 0 との位置合わせが容易になる。次いで、ベース基板 1 0 にフレキシブル基板 2 0 を、フレキシブル基板 2 0 の第 1 の半導体素子 3 0 が実装された面側を向けて配置し、フレキシブル基板 2 0 を屈曲させて

、ベース配線 1 1 と第 1 の配線 2 1 とを電氣的に接続する。フレキシブル基板 2 0 は、上述した開口部 2 2 を基点として屈曲させてもよい。同様に、フレキシブル基板 4 0 を、フレキシブル基板 4 0 の第 2 の半導体素子 5 0 が実装された面側を向けて、フレキシブル基板 2 0 の上方に配置し、フレキシブル基板 4 0 を屈曲させて、ベース配線 1 1 と第 2 の配線 4 1 とを接合する。

【 0 0 1 9 】

この際、図 2 及び図 3 に示すように、フレキシブル基板 2 0 とフレキシブル基板 4 0 とを、ベース基板 1 0 に投影したフレキシブル基板 2 0 の長辺とフレキシブル基板 4 0 の長辺とが交差するように配置させてもよい。また、図 4 に示すように、フレキシブル基板 2 0 とフレキシブル基板 4 0 とを、ベース基板 1 0 に投影したフレキシブル基板 2 0 の長辺とフレキシブル基板 4 0 の長辺とが平行になるように配置させてもよい。フレキシブル基板 4 0 は、上述した開口部 4 2 を基点として屈曲させてもよい。第 1, 2 の配線 2 1, 4 1 をベース配線 1 1 に電氣的に接続する際には、上述の接続方法をとることができる。

【 0 0 2 0 】

このように、本実施の形態では、ベース配線 1 1 が設けられたベース基板 1 0 と、上記ベース配線 1 1 に電氣的に接続される第 1 の配線 2 1 を含み、上記ベース基板 1 0 の上方に設けられたフレキシブル基板 2 0 と、上記第 1 の配線 2 1 に電氣的に接続される第 1 の電極 3 1 を含み、上記ベース基板 1 0 と上記フレキシブル基板 2 0 との間に設けられた第 1 の半導体素子 3 0 と、上記ベース配線 1 1 に電氣的に接続される第 2 の配線 4 1 を含み、上記フレキシブル基板 2 0 の上方に設けられたフレキシブル基板 4 0 と、上記第 2 の配線 4 1 に電氣的に接続される第 2 の電極 5 1 を含み、上記フレキシブル基板 2 0 と上記フレキシブル基板 4 0 との間であって上記第 1 の半導体素子 3 0 の上方に設けられた第 2 の半導体素子 5 0 とを備え、上記フレキシブル基板 2 0 は、上記第 1 の半導体素子 3 0 が下方に設けられた第 1 の領域と上記第 1 の配線 2 1 の上記ベース配線 1 1 と接合する部分が位置する第 2 の領域とを有し、上記第 1 の領域と上記第 2 の領域との間に開口部 2 2 を有し、上記フレキシブル基板 4 0 は、上記第 2 の半導体素子 5 0 が下方に設けられた第 3 の領域と上記第 2 の配線の上記ベース配線と接合する部

分が位置する第4の領域とを有し、上記第3の領域と上記第4の領域との間に開口部42を有するようにした。これにより、第1、第2の半導体素子30、50をベース基板10上に複数積層しても、フレキシブル基板20、40の厚みが小さいために、パッケージサイズを小さくすることができる。

【0021】

また、従来のように、チップセレクター用に独立させたスルーホールを必要とせず、そのためのさらに別のキャリア基板が必要となったりしないので、積層すべきキャリア基板を接続体により接続する必要がないことから、パッケージサイズを小さくすることができる。また、本実施の形態では、フレキシブル基板20、40の半導体素子30、50が実装される部分と、ベース配線11に接続される部分との間に、第1、2の配線21、41を露出させるように切り欠かれた開口部22、42を設け、その開口部22、42を基点としてフレキシブル基板20、40を屈曲させるようにしたので、フレキシブル基板20、40の屈曲が容易となり、ベース配線11と第1、第2の配線21、41との接続状態を良好に維持することができる。

【0022】

また、本実施の形態では、フレキシブル基板20、40に対する第1、2の半導体素子30、50の実装形態に制約がないため、図1及び図4のように、第1、2の半導体素子30、50を互いに平行となるように実装することができ、図3のように、第1、2の半導体素子30、50を互いに直交するように実装することもできる。また、本実施の形態による外部端子12を有する半導体装置を、配線を有する回路基板に、外部端子12を配線に電氣的に接続させて実装したものを、携帯電話やデジタルカメラ等の電子機器に搭載することで、それらの電子機器に搭載されるパッケージが性能アップに伴って増加した場合であっても、電子機器の小型薄型化を図ることができる。

【0023】

【発明の効果】

以上の如く本発明に係る半導体装置及び半導体装置の製造方法並びに電子機器によれば、ベース配線が設けられたベース基板と、上記ベース配線に電氣的に接

続される第1の配線を含み、上記ベース基板の上方に設けられた第1の基板と、上記第1の配線に電氣的に接続される第1の電極を含み、上記ベース基板と上記第1の基板との間に設けられた第1の半導体素子と、上記ベース配線に電氣的に接続される第2の配線を含み、上記第1の基板の上方に設けられた第2の基板と、上記第2の配線に電氣的に接続する第2の電極を含み、上記第1の基板と上記第2の基板との間であって上記第1の半導体素子の上方に設けられた第2の半導体素子とを備え、上記第1の基板は、上記第1の半導体素子が下方に設けられた第1の領域と上記第1の配線の上記ベース配線と接合する部分が位置する第2の領域とを有し、上記第1の領域と上記第2の領域との間に第1の屈曲部を有し、上記第2の基板は、上記第2の半導体素子が下方に設けられた第3の領域と上記第2の配線の上記ベース配線と接合する部分が位置する第4の領域とを有し、上記第3の領域と上記第4の領域との間に第2の屈曲部を有するため、半導体パッケージサイズを小さくすることができる。

【図面の簡単な説明】

【図1】

本発明の半導体装置の一実施の形態を示す図である。

【図2】

図1のa-a線断面図である。

【図3】

図1の半導体装置の構成を変えた場合の他の実施の形態を示す図である。

【図4】

図1の半導体装置の構成を変えた場合の他の実施の形態を示す図である。

【図5】

図4のb-b線断面図である。

【符号の説明】

10 ベース基板

11 ベース配線

20, 40 フレキシブル基板

21 第1の配線

2 2, 4 2 開口部

3 0 第 1 の半導体素子

3 1 第 1 の電極

4 1 第 2 の配線

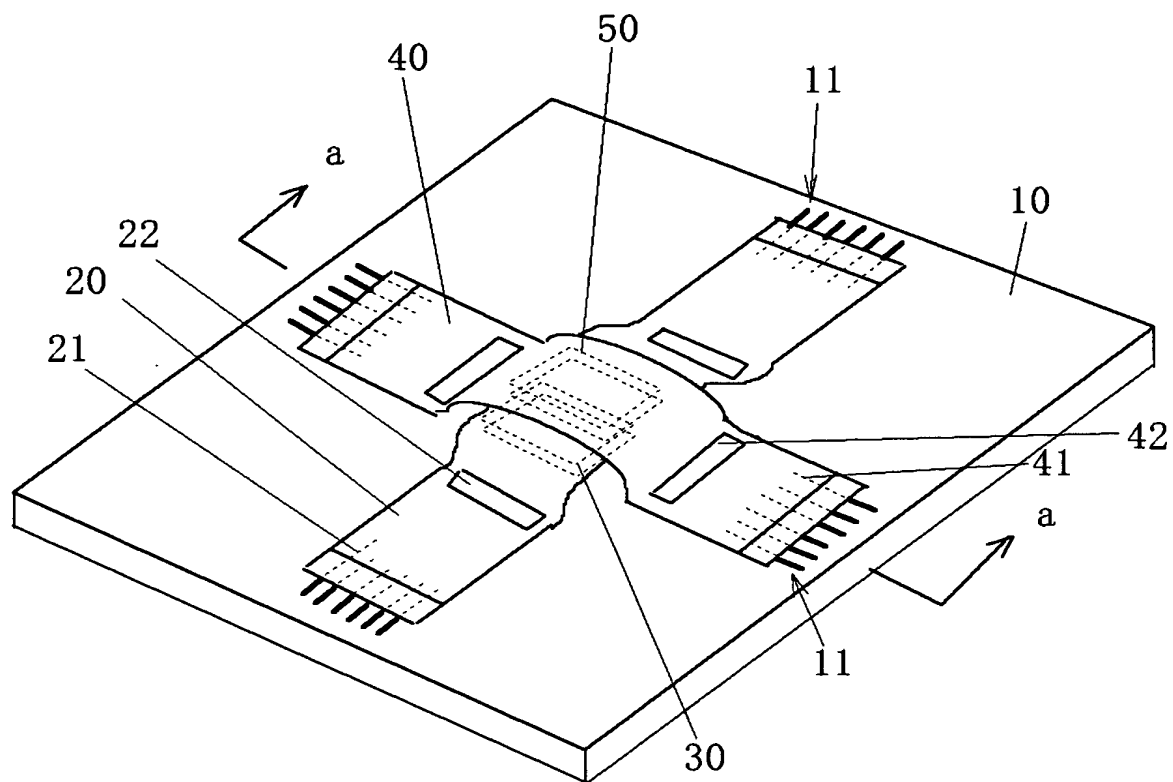
5 0 第 2 の半導体素子

5 1 第 2 の電極

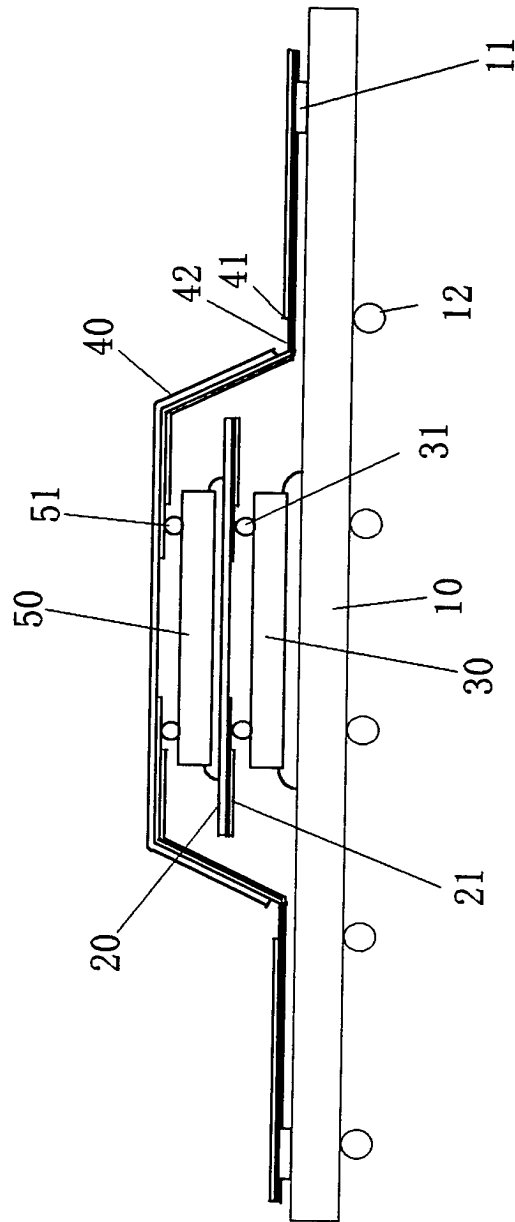
【書類名】

図面

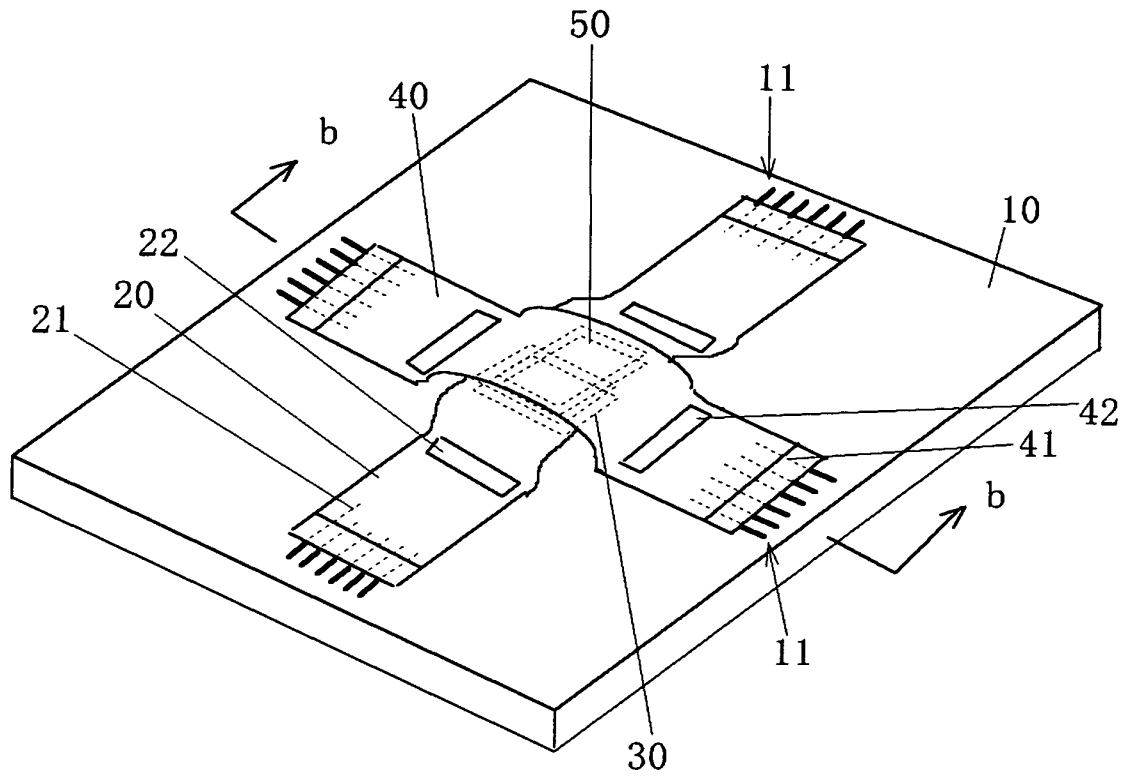
【図 1】



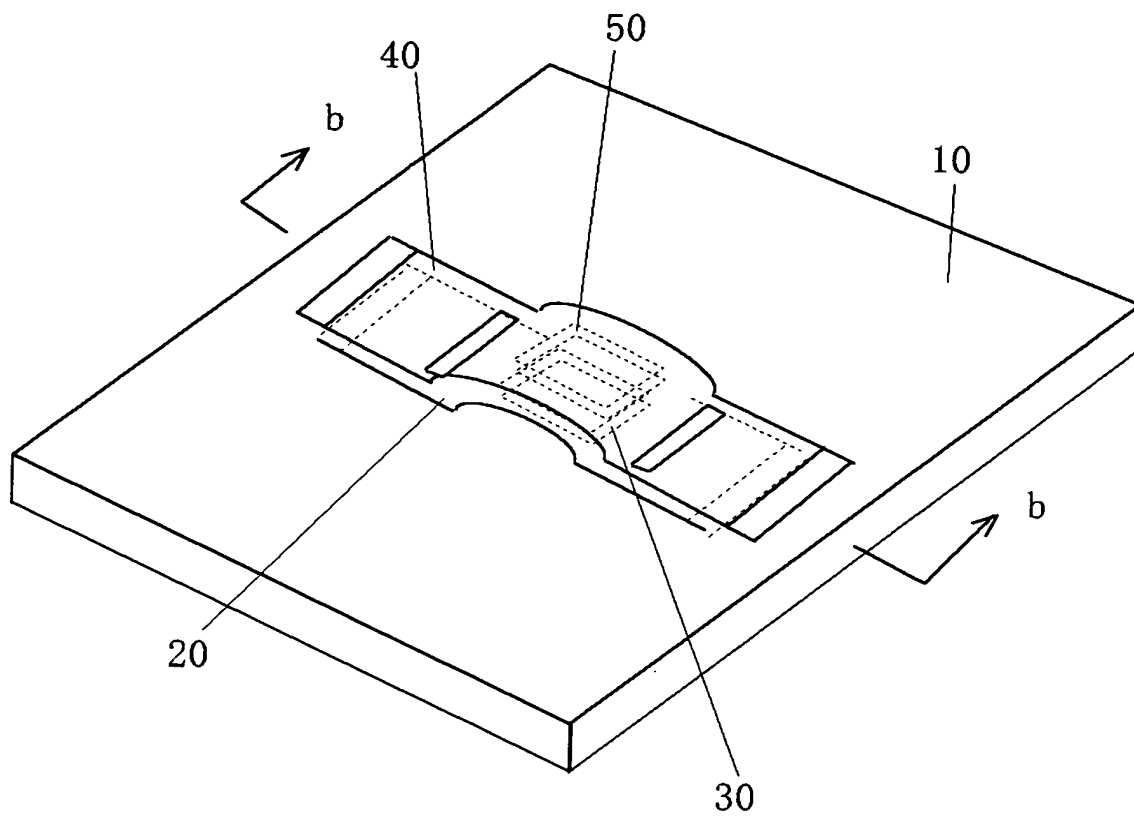
【図 2】



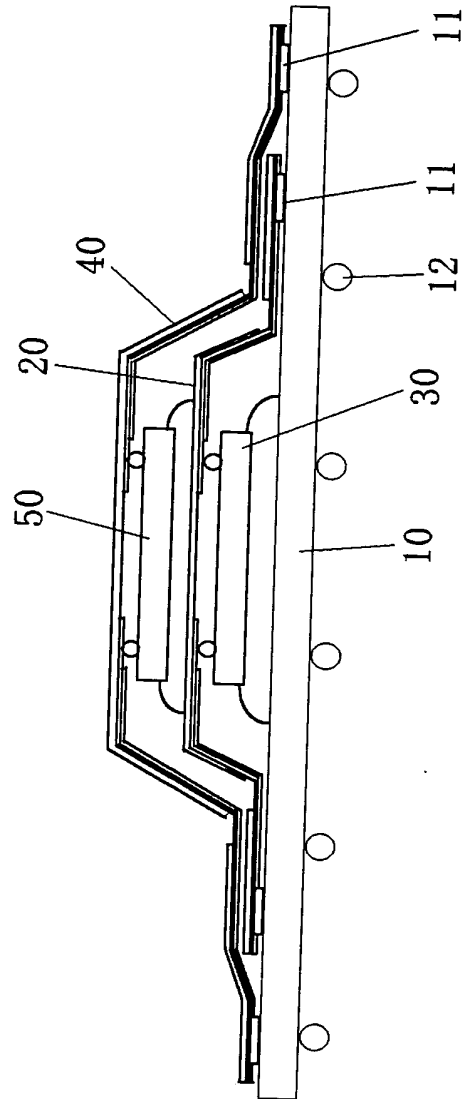
【图 3】



【図 4】



【図5】



【書類名】 要約書

【要約】

【課題】 半導体パッケージサイズを小さくすることができるようにする。

【解決手段】 ベース基板 1 0 と、フレキシブル基板 2 0 と、第 1 の半導体素子 3 0 と、フレキシブル基板 4 0 と、第 2 の半導体素子 5 0 とを備え、フレキシブル基板 2 0、4 0 は、第 1、第 2 の半導体素子 3 0、5 0 が下方に設けられた第 1、第 3 の領域と第 1、第 2 の配線 2 1、4 1 のベース配線 1 1 と接合する部分が位置する第 2、第 4 の領域とを有し、第 1、第 3 の領域と第 2、第 4 の領域との間に開口部 2 2、4 2 をするようにする。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 2 4 8 8 6 7
受付番号	5 0 2 0 1 2 7 9 1 6 9
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 4 年 9 月 2 日

< 認定情報・付加情報 >

【提出日】 平成14年 8月28日

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 2 3 6 9]

1. 変更年月日 1 9 9 0 年 8 月 2 0 日
[変更理由] 新規登録
住 所 東京都新宿区西新宿 2 丁目 4 番 1 号
氏 名 セイコーエプソン株式会社